





PHOTOSENSOR

Patent number: JP61236283
Publication date: 1986-10-21
Inventor: JIYAAKU SHIYOOTAN
Applicant: THOMSON CSF
Classification:
- international: **H04N3/15; H04N3/15**; (IPC1-7): G03B7/28; H04N5/335
- european: H04N3/15E2
Application number: JP19860078047 19860404
Priority number(s): FR19850005254 19850405

Also published as:

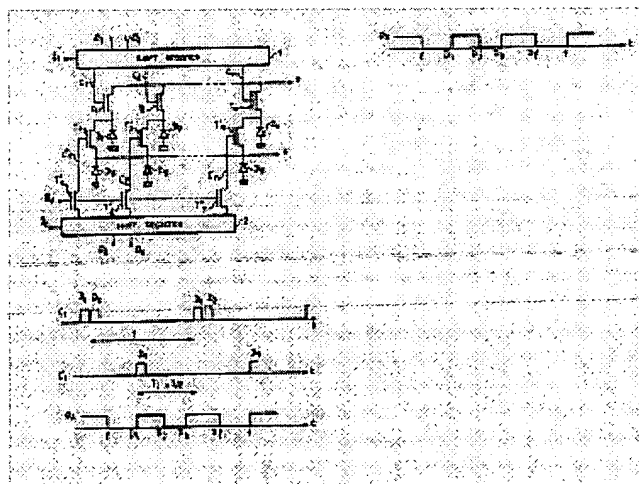
 EP0201373 (A1)
 US4706123 (A1)
 FR2580133 (A1)
 EP0201373 (B1)

[Report a data error here](#)

Abstract not available for JP61236283

Abstract of corresponding document: **US4706123**

The invention provides a photosensitive device with locally adjustable exposure time, wherein means provide local modification of the integration time, for some detectors, as a function of the lighting received by each detector. In FIG. 1, these means are formed by a shift register with a series input and parallel outputs, by MOS transistors and by charge removal diodes.



Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭61-236283

⑬ Int. Cl.⁴

H 04 N 5/335
G 03 B 7/28

識別記号

庁内整理番号

Q-8420-5C
7542-2H

⑭ 公開 昭和61年(1986)10月21日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 感光装置

⑯ 特 願 昭61-78047

⑰ 出 願 昭61(1986)4月4日

優先権主張 ⑱ 1985年4月5日 ⑲ フランス(FR) ⑳ 8505254

㉑ 発 明 者 ジャーク、ショークス フランス国 38120サン、テグレーブ、アブニユ、ド、ル
ーロブ 16

㉒ 出 願 人 トムソン・セーエスエ フランス国 75008パリ、プールパール、オースマン 173
フ

㉓ 代 理 人 弁理士 佐藤 一雄 外2名

明 細 書

1. 発明の名称

感 光 装 置

2. 特許請求の範囲

1. 少なくとも1列の感光検出器と、いくつかの検出器の積分時間を、各検出器が受けた光の強さの関数として局部的に変える手段とを備えることを特徴とする感光装置。

2. 特許請求の範囲第1項記載の装置であって、直列入力端子と、同じ検出器列の検出器にMOSトランジスタを介して接続される並列出力端子とを有するシフトレジスタを備えることを特徴とする装置。

3. 特許請求の範囲第2項記載の装置であって、前記MOSトランジスタのゲートはシフトレジスタの出力端子に接続され、かつ検出器と、装置の出力端子とに更に接続されることを特徴とする装置。

4. 特許請求の範囲第3項記載の装置であって、積分時間を局部的に変更する手段は、直列入力端子と並列出力端子を有する第2のシフトレジスタにより形成され、この第2のシフトレジスタの出力は一連のMOSトランジスタの電極を制御し、それらのMOSトランジスタのゲートは別の一連のMOSトランジスタのゲートを制御し、それら別の一連のMOSトランジスタは検出器と電荷除去ダイオードに接続されて、一定電位にされることを特徴とする装置。

5. 特許請求の範囲第2項記載の装置であって、第1の一連のMOSトランジスタは検出器と装置の出力端子の間に接続され、第2の一連のMOSトランジスタはレジスタの各出力端子と第1の一連のMOSトランジスタのゲートの間に接続され、第2の一連のMOSトランジスタのゲートは同じ制御信号を受け、直列入力端子と並列出力端子を有する第2のシフトレジスタと、この第2のシフトレジスタの1つの出力端子と第1の一連のMOSトランジスタのゲートの間に接続され

た第3の一連のMOSトランジスタにより、積分時間を局部的に変える手段が形成され、前記第3の一連のMOSトランジスタのゲートは同じ制御信号を受けることを特徴とする装置。

6. 特許請求の範囲第4項記載の装置であって、積分時間を局部的に変える手段は直列入力端子と並列出力端子を有する第3のシフトレジスタを備え、この第3のシフトレジスタは第2のシフトレジスタと同様にして装置に接続されることを特徴とする装置。

7. 特許請求の範囲第4項記載の装置であって、積分時間を局部的に変える第2のシフトレジスタと第3のシフトレジスタの少なくとも一方は、出力信号を、検出器の飽和レベル、半飽和レベル等のような基準信号と比較することにより各積分時間を決定する制御回路により制御されることを特徴とする装置。

ことになる。そのために、アンチブルーミング装置を用いたとしてもその問題は解決されない。その理由は、アンチブルーミング装置よりクリッピングを行うと、クリップされた光領域に対応する情報部分が失われるからである。

一方、非常に明るい領域を解析するために絞りを非常に絞ったとすると、暗い領域からの情報が部分的に使用できない。

(問題点を解決するための手段)

本発明は上記のような諸問題を解決し、少なくとも1列の感光検出器と、各検出器が受ける光の明るさに応じて、ある検出器の積分時間を局部的に変える手段とを備える感光装置を提供するものである。

(実施例)

以下、図面を参照して本発明を詳しく説明する。

まず、本発明の感光装置の一実施例が示されている第1図を参照する。この図には、ただ1列の感光検出器(例えばホトダイオード) $D_1 \sim D_n$ を備える感光検出器条が示されている。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、露光時間を局部的に調整できる感光装置に関するものである。

(従来の技術および発明が解決しようとする問題点)

感光装置全体としての露光時間を調整できる感光装置は知られている。そのような感光装置の例が、例えば米国特許第4,553,168号明細書に記載されている。

それらの感光装置は、解析される光景の明るさのレベルに非常に高い差があるような数多くの用において、全面的に満足できるものではない。

そのような用途の例としては、例えば、逆光で風景を解析する場合、または光を背にして不透明な物体を解析する場合がある。

一般に、明るい領域または暗い領域が好ましいが、そうすると他の領域の情報の一部が失われる。

例えば、暗い領域を解析するためにレンズの絞りが狭げられたとすると、明るい領域が飽和する

直列入力端子と並列出力端子を有するシフトレジスタ1により、各感光検出器を逐次アドレスできる。そのシフトレジスタは例えば2種類のクロック信号 ϕ_1 と ϕ_2 で動作する論理シフトレジスタで構成できる。このシフトレジスタにはパルス I_1 が与えられる。そのパルスはシフトレジスタの1つの出力端子から次の出力端子へ周期Tで転送される。

第1図に示す実施例においては、シフトレジスタの各出力はMOSトランジスタ T_1, T_2, \dots, T_n のゲートをアドレスする。

それらのMOSトランジスタの第2の電極は感光検出器に接続され、第3の電極は感光装置の出力端子Sを構成する。

その出力端子Sにより、アドレスされた各感光検出器に充電されている電荷量を読出すことができる。その電荷量は、積分時間中に感光検出器が受けた光の量に比例する。

各感光検出器は、積分時間を局部的に変える手段にも接続される。その手段はMOSトランジス

タ T_1' 、 T_2' 、…、 T_n' により構成される。それらのMOSトランジスタの1つの電極が感光検出器 D_1 、 D_2 、…、 D_n に接続され、別の電極が、一定電位にバイパスされている電荷除去ダイオード D_E に接続される。MOSトランジスタ T_1' ～ T_n' のゲートはMOSトランジスタ T_1'' ～ T_n'' の電極により制御される。MOSトランジスタ T_1'' ～ T_n'' のゲートは同じ制御信号 ϕ_1 を受ける。MOSトランジスタ T_1'' ～ T_n'' の別の電極は第2のシフトレジスタ2の出力端子に接続される。直列入力端子と並列出力端子を有する第2のシフトレジスタ2はクロック信号 ϕ_3 および ϕ_4 により制御され、入力端子にパルス I_2 を受ける。そのパルスはシフトレジスタ2の1つの出力端子から次の出力端子へ順次転送される。

第1図に示す感光装置の動作は次の通りである。

感光検出器の読出し時間が周期 T に等しいようにシフトレジスタ1は動作する。第2-a図にはMOSトランジスタ T_1 のゲートにより受けられ

ているダイオード D_E を通じて除去される。そうすると、それらの電荷は、 $T/2$ に等しい積分時間中に充電された電荷であって、出力端子 S において読出される。正しい時刻に信号 C_1' を送るために信号 ϕ_A が高レベルにされる。

第2-c図には高レベルにある信号 ϕ_A が示されており、パルス I_2 は反対の感光検出器 D_1 ～ D_j および D_k ～ D_l に与えられる。したがって、積分時間はそれらの感光検出器に対してのみ2分の1にされ、感光検出器 D_j ～ D_k に対しては2分の1にされない。このようにして、局部的に調整可能な露光時間が感光検出器群に対して与えられる。

全ての感光検出器が読出された時は、シフトレジスタ1をアドレスする動作の間に出力端子 S の接続点に同じ電位を与えることにより、全ての感光検出器を同じ電位に戻すことが可能である。

第3図には第1図に示す実施例とは僅かに異なる実施例が示されている。

この実施例においては、感光検出器 D_1 ～ D_n

は制御信号 C_1 が示されている。この制御信号は周期が T の周期信号である。したがって、感光検出器 D_1 により格納されている電荷が、MOSトランジスタ T_1 を通して出力端子 S へ移動させられる周期は T である。

感光検出器 D_2 に接続されているMOSトランジスタ T_2 へ与えられた制御信号 C_2 が第2-a図に破線で示されている。この制御信号 C_2 は制御信号 C_1 に対して時間が僅かにずれている。

第2-b図には、感光検出器 D_1 に接続されているMOSトランジスタ T_1' に与えられた制御信号 C_1' が示されている。

第2-a、2-bおよび2-c図に示されている例においては、シフトレジスタ2はシフトレジスタ1と同じ周波数で動作するが、情報パルス I_2 は情報パルス I_1 に対して $T/2$ だけずれている。そうすると、感光検出器 D_1 の露光時間すなわち、積分時間 T_1 は $T/2$ に等しい。

$T/2$ に等しい時間が経過した後で、感光検出器 D_1 に格納されている電荷が、電位 V に保たれ

る。制御するMOSトランジスタ T_1 ～ T_n を、制御信号 ϕ_{A1} 、 ϕ_{A2} をそれぞれゲートに受けるMOSトランジスタ T_{01} ～ T_{0n} と T_1'' ～ T_n'' を介して、シフトレジスタ1と2の一方によりアドレス出来る。

出力端子 S においては有用な情報と無用な情報が交互に現われることが見出される。実際には、ある感光検出器が出力端子 S に接続されるということは、新しい積分時間を開始させるように、その感光検出器が格納した電荷を読出すためか、除去するためのいずれかである。

制御信号 ϕ_{A1} と ϕ_{A2} の位相はほぼ逆である。第1図に示す実施例におけるように、ある感光検出器の積分時間を $T/2$ に等しくするためには、同じ周期の信号 ϕ_1 、 ϕ_2 、 ϕ_3 、 ϕ_4 を使用し、パルス I_1 と I_2 を $T/2$ だけずらせる。

第1図に示す実施例と比較すると、第3図に示す実施例は、寄生電荷の除去および信号電荷の除去のために同じ経路を使用し、そのためにスペースとノイズが減少するという利点が得られる。

第1、3図に示す装置によりいくつかの積分時間を得ることができる。

例えば、感光検出器 $D_1 \sim D_j$ が飽和レベルの約2倍の強さの光を受け、感光検出器 $D_k \sim D_l$ が飽和レベルの約4倍の強さの光を受けるものとする、感光検出器 $D_1 \sim D_j$ の積分時間を $T/2$ とし、感光検出器 $D_k \sim D_l$ の積分時間を $T/4$ にすることが望ましい。その他の感光検出器の積分時間は元のままである。

第4図aには種々の感光検出器群の積分時間 T_i が示されている。すなわち、感光検出器 $D_1 \sim D_j$ の積分時間 $T_i = T/2$ であり、感光検出器 $D_j \sim D_k$ の積分時間 $T_i = T$ であり、感光検出器 $D_k \sim D_l$ の積分時間 $T_i = T/4$ である。

第4図b～eには、例えば第1図に示す実施例において希望の積分時間を持たせるように、感光検出器 $D_1 \sim D_j$ と $D_k \sim D_l$ にそれぞれ与えられる制御信号 C, C' が示されている。 T に等しい積分時間を有する感光検出器 D_j と D_k に関する限りは、信号 ϕ_A を低レベルに置くだけで十分

において、感光検出器 $D_1 \sim D_j$ の積分時間 $T_i = T/2$ 、感光検出器 $D_j \sim D_k$ の積分時間 $T_i = T$ 、感光検出器 $D_k \sim D_l$ の積分時間 $T_i = T/4$ とするために使用できる信号が示されている。

信号 ϕ_1 は信号 ϕ_3 に等しく、信号 ϕ_2 は信号 ϕ_4 に等しい。第5-a図は信号 ϕ_1 と ϕ_3 を示し、第5-b図は信号 ϕ_2 と ϕ_4 を示す。信号 ϕ_4 の位相はほぼ逆である。

第5-c、5-d図には、情報パルス I_2 が感光検出器 $D_1 \sim D_j$ と $D_k \sim D_l$ で逆である場合に、位相がほぼ逆である制御信号 ϕ_{A1} と ϕ_{A2} がそれぞれ示されている。

情報パルス I_2 が感光検出器 $D_j \sim D_k$ では逆であると、制御信号 ϕ_{A2} は低レベルである。感光検出器 $D_j \sim D_k$ に対しては、積分時間は T に等しい。

第5-e、5-f図には情報パルス I_1, I_2 がそれぞれ示されている。それらの情報パルスは、感光検出器 $D_1 \sim D_j$ の場合には $T/2$ だけずら

である。

積分時間を $T/2$ および $T/4$ にするためには、シフトレジスタ2のクロック信号 ϕ_3 と ϕ_4 の周期を変えることが可能である。

したがって、例えば感光検出器 D_j と D_k の間でクロック信号 ϕ_3 と ϕ_4 を停止できる。感光検出器 D_j の段では、感光検出器 D_j の積分時間を $T/2$ へ迅速に戻すように、情報パルス I_2 がシフトレジスタ2内で非常に速く転送される。

積分時間を $T/4$ から $T/2$ へ変えたい場合には、感光検出器 D_j と D_k は密接に関連させることはできない。

感光検出器 l と i の間の、感光検出器の数で測った最短距離は

$$n(T/4 + n t_{\min}) \cdot 1/T$$

に等しい。ここに、 n は感光検出器の総数、 t_{\min} は、シフトレジスタ2の1つの段から次の段へ情報パルス I_2 を転送するのに要する最短時間である。

第5-a～5-f図には、第3図に示す実施例

され、感光検出器 $D_k \sim D_l$ の場合には $T/4$ だけずらされる。

第3図に示す実施例において積分時間を $T/2$ および $T/4$ にする別の技術は、第6図に示すように第3のシフトレジスタ3を使用することである。この第3のシフトレジスタ3は情報パルス I_3 とクロック信号 ϕ_5, ϕ_6 を受ける。この第3のシフトレジスタ3の出力端子はMOSトランジスタ $T_{01}' \sim T_{0n}'$ を介してMOSトランジスタ $T_1 \sim T_n$ の制御器に接続される。

第3のシフトレジスタ3は、第1図に示す実施例にも同様にして使用できる。第3のシフトレジスタ3は第2のシフトレジスタ2と同様にして感光装置を接続される。

第7-a～7-h図に示す実施例において使用できる制御信号を示す。

第7-a図に示す信号 ϕ_1, ϕ_3, ϕ_5 は同じである。第7-b図に示す信号 ϕ_2, ϕ_4, ϕ_6 も同じである。信号 ϕ_1, ϕ_3, ϕ_5 の位相と信号 ϕ_2, ϕ_4, ϕ_6 の位相は互いにほぼ逆である。

第7-c、7-d、7-e図には信号 ϕ_{A1} 、 ϕ_{A2} 、 ϕ_{A3} がそれぞれ示されている。

感光検出器 $D_1 \sim D_j$ の処理中は信号 ϕ_{A1} と ϕ_{A2} はほぼ逆位相である。

他の感光検出器の処理中は信号 ϕ_{A2} は低レベルである。

感光検出器 $D_k \sim D_l$ の処理中はほぼ逆位相である信号 ϕ_{A1} 、 ϕ_{A3} に対しては同じである。他の感光検出器の処理中は信号 ϕ_{A3} は低レベルである。

したがって、感光検出器 $D_j \sim D_k$ の処理中は信号 ϕ_{A2} と ϕ_{A3} は低レベルであるから、それらの検出器の積分時間は T に等しい。

第7-f、7-g、7-h図には情報パルス I_1 、 I_2 、 I_3 が示されている。

感光検出器 $D_i \sim D_j$ が処理される時は情報パルス I_1 と I_2 は $T/2$ だけずらされ、感光検出器 $D_k \sim D_l$ が処理される時は情報パルス I_1 と I_3 は $T/4$ だけずらされる。

したがって、感光検出器 $D_i \sim D_j$ の積分時間

出力信号 S のこの最初の読出しから、差動増幅器8が出力信号 S を $V_{sat}/2$ と比較する。この比較は2回目の読出しから用いられるだけである。その比較の結果はメモリ9に格納される。差動増幅器8の出力信号すなわち比較結果を表す信号は、例えば出力信号 S が $V_{sat}/2$ より小さい時に1で、逆の場合には0とすることができる。

第3の差動増幅器10の入力端子がメモリ7と9に接続され、出力端子がマイクロプロセッサ6に接続される。

感光検出器の出力信号 S の2回目の読出し中は、積分時間を $T/2$ にされた感光検出器の出力信号 S が調べられる。出力信号 S が V_{sat} より以前として大きい時は、それらの感光検出器の積分時間は $T/4$ に等しくなり、出力信号 S が V_{sat} より小さくなった時は、それらの感光検出器の積分時間は T に等しくなる。

例えば $V_{sat}/4$ 、 $3V_{sat}/4$ ……のような他の基準電圧と、例えば $T/4$ 、 $3T/4$ ……のような別の積分時間とを用いる他のより精密な制

は $T/2$ に等しく、感光検出器 $D_k \sim D_l$ の積分時間は $T/2$ に等しく、感光検出器 $D_k \sim D_l$ の積分時間は $T/4$ に等しい。

第8図には第1、3および5図に示す感光装置の実施例の制御回路が示されている。

各感光検出器ごとに、例えば差動増幅器4を用いて、出力信号 S を飽和しきい値 V_{sat} と比較する。

差動増幅器4の出力は、出力信号 S が V_{sat} より大きい時は1であり、逆の場合には0である。

それらの比較の結果がメモリ5に格納される。

このメモリ5の出力端子はマイクロプロセッサ6に接続される。このマイクロプロセッサ6は信号 ϕ_1 、 ϕ_2 、 ϕ_3 、 ϕ_4 ……と、シフトレジスタ内で転送される情報パルス I_1 、 I_2 ……を制御する。

比較結果が1である感光検出器の積分時間は $T/2$ にされる。

出力 S と飽和しきい値 V_{sat} の比較結果は別のメモリ7にも格納される。

御回路も構成できる。

以上、感光検出器列の場合について本発明の装置を説明した。それらの感光検出器は例えばホトダイオードまたはMOS感光素子で構成できる。本発明は、何列かの感光検出器で構成された感光マトリックスの場合にも応用できる。その場合には、マトリックスの各列を感光検出器条またはラインのように処理でき、または全体として処理できる。

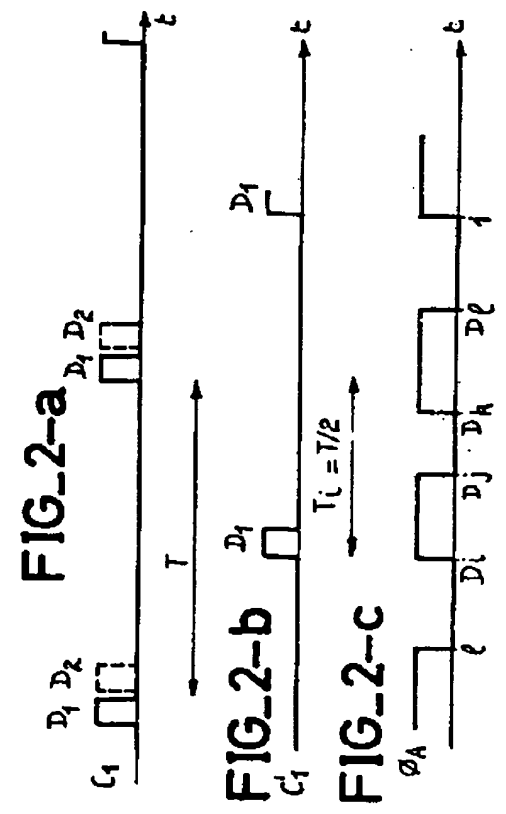
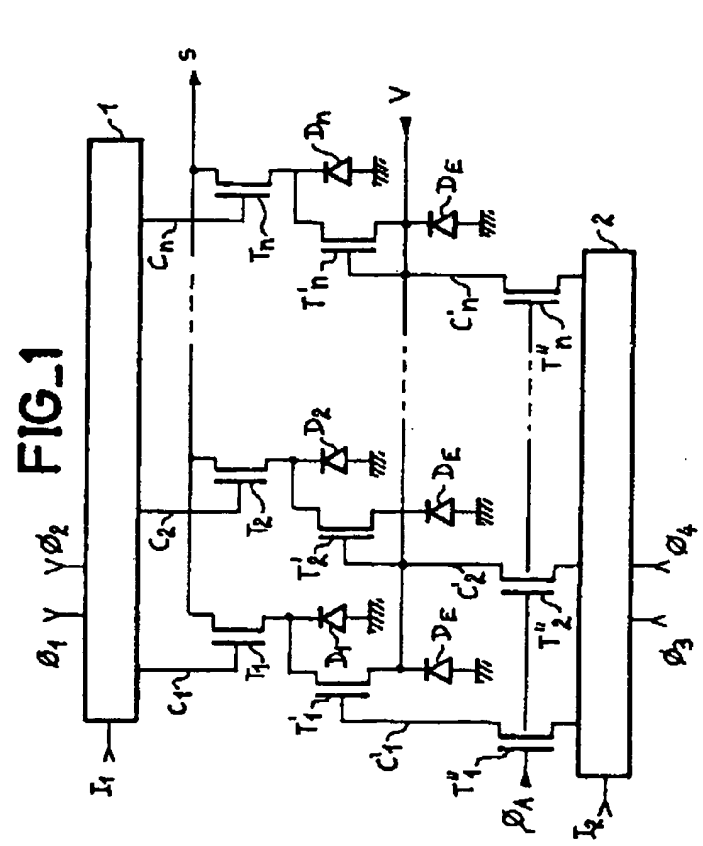
4. 図面の簡単な説明

第1、3および6図は本発明の感光装置のそれぞれ異なる実施例を示すブロック回路図、第2-a、2-b、2-c図、第4図a～e、第5-a～5-f図および第7-a～7-h図は第1、3、6図に示す装置のための制御信号のタイミング波形図、第8図は第1、3、6図に示す装置に用いる制御回路の一実施例のブロック図である。

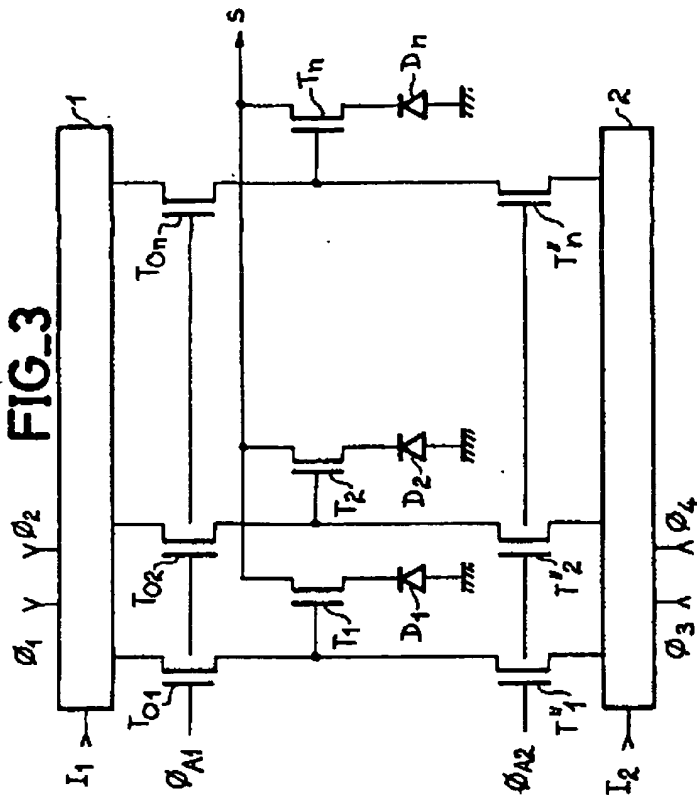
1、2、3…シフトレジスタ、4、8、10…差動増幅器、5、7、9…メモリ、6…マイクロ

プロセッサ、 $D_1 \sim D_n$ … 感光検出器、 D_E … 電荷除去ダイオード、 $T_1 \sim T_n$ 、 $T_1' \sim T_n'$ 、 $T_1'' \sim T_n''$ 、 $T_{01} \sim T_{0n}$ … MOSダイオード。

出願人代理人 佐 藤 一 雄



FIG_3



FIG_4

